

PATENT ABSTRACTS OF JAPAN

AB

(11)Publication number : 11-251144

(43)Date of publication of application : 17.09.1999

(51)Int.Cl.

H01F 17/00
H01F 41/02

(21)Application number : 10-063979

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 27.02.1998

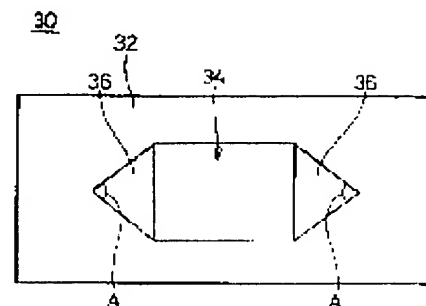
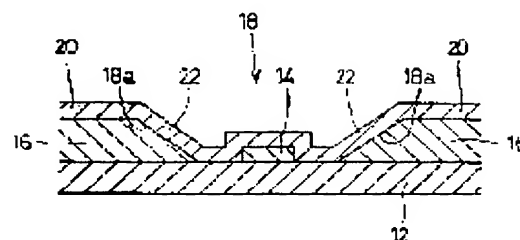
(72)Inventor : SASAKI TOSHIYA
UCHIYAMA KAZUYOSHI
KAWAGUCHI MASAHIKO
IIDA NAOKI

(54) CHIP INDUCTOR AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a chip inductor, together with its manufacturing method, wherein poor connection is hard to occur at a connection electrode on a wall surface at an opening part formed in an insulating layer.

SOLUTION: On an upper surface of a substrate 12 a spiral first pattern electrode 14 is formed, and an insulating layer 16 is formed on the upper surface thereof. The insulating layer 16 comprises a step part 18a wherein a connection opening part 18 is tilted toward thickness direction. On the upper surface of the insulating layer 16 a second pattern electrode 20 is formed, with a part near its one end part connected to the first pattern electrode 14 through a connection electrode 22 on the wall surface of step part 18a. A photo-mask 30 for forming the connection opening part 18 comprises an exposure opening part 34, with an opening pattern 36 for forming the tilted step part 18a formed on its both sides. Related to the opening pattern 36, the inside of a triangular shape comprising an acute vertical angle of 90° or less has a fine pattern exceeding resolution limit of a sensitized insulating material.



LEGAL STATUS

[Date of request for examination] 20.06.2000

[Date of sending the examiner's decision of rejection] 08.10.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3446590

[Date of registration] 04.07.2003

[Number of appeal against examiner's decision of rejection] 2002-21555

[Date of requesting appeal against examiner's decision of rejection] 07.11.2002

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-251144

(43) 公開日 平成11年(1999) 9月17日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 F 17/00

H 0 1 F 17/00

B

41/02

41/02

C

審査請求 未請求 請求項の数 4 F D (全 7 頁)

(21) 出願番号

特願平10-63979

(22) 出願日

平成10年(1998) 2月27日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 佐々木 俊 哉

京都府長岡京市天神2丁目26番10号 株式

会社村田製作所内

(72) 発明者 内 山 一 義

京都府長岡京市天神2丁目26番10号 株式

会社村田製作所内

(72) 発明者 川 口 正 彦

京都府長岡京市天神2丁目26番10号 株式

会社村田製作所内

(74) 代理人 弁理士 岡田 全啓

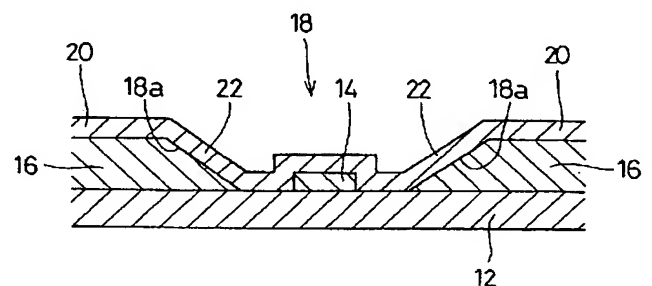
最終頁に続く

(54) 【発明の名称】 チップインダクタおよびその製造方法

(57) 【要約】

【課題】 絶縁層に形成された開口部の壁面の接続電極に接続不良が生じにくいチップインダクタおよびその製造方法を提供する。

【解決手段】 基板12の上には、螺旋状の第1のパターン電極14が形成され、さらに、その上には、絶縁層16が形成される。絶縁層16には、接続用開口部18が厚み方向に傾斜した段差部18aを有して形成される。さらに、絶縁層16の上には、第2のパターン電極20が形成され、その一端部近傍は段差部18aの壁面の接続電極22を経由して第1のパターン電極14と接続される。接続用開口部18を形成するためのフォトリソマスク30は、露光用開口部34を有し、その両辺には、傾斜した段差部18aを形成するため開口パターン36が形成される。開口パターン36は、90度以下の尖った頂角を有する三角形の内側を感光性絶縁材料の解像限界以上の微細なパターンとしたものである。



【特許請求の範囲】

【請求項 1】 基板、

前記基板上に形成される第 1 のパターン電極、
前記第 1 のパターン電極を覆いながら前記基板上に形成される絶縁層、
前記絶縁層上に形成される第 2 のパターン電極、
前記絶縁層を厚み方向に貫通して形成される開口部、および前記開口部の段差部の壁面を経由して前記第 1 のパターン電極と前記第 2 のパターン電極とを接続する接続電極を含むチップインダクタであって、
少なくとも前記接続電極が形成される前記開口部の段差部は、厚み方向に傾斜して形成される、チップインダクタ。

【請求項 2】 基板上に第 1 のパターン電極を形成するステップと、
前記基板上に前記第 1 のパターン電極を覆いつつ感光性絶縁材料を塗布し、フォトリソグラフにて前記第 1 のパターン電極の一部に対応する位置に開口部を有する絶縁層を形成するステップと、
前記絶縁層の上面に第 2 のパターン電極を形成すると同時に、前記開口部の段差部の壁面を経由して前記第 1 のパターン電極と前記第 2 のパターン電極とを接続するための接続電極を形成するステップとを含む、チップインダクタの製造方法であって、
少なくとも前記接続電極が形成される前記開口部の段差部は、透光率を低くしたフォトマスクを用いてフォトリソグラフにより形成される、チップインダクタの製造方法。

【請求項 3】 基板上に第 1 のパターン電極を形成するステップと、
前記基板上に前記第 1 のパターン電極を覆いつつ感光性絶縁材料を塗布し、フォトリソグラフにて前記第 1 のパターン電極の一部に対応する位置に開口部を有する絶縁層を形成するステップと、
前記絶縁層の上面に第 2 のパターン電極を形成すると同時に、前記開口部の段差部の壁面を経由して前記第 1 のパターン電極と前記第 2 のパターン電極とを接続するための接続電極を形成するステップとを含む、チップインダクタの製造方法であって、
前記開口部の段差部は、頂角を 90 度以下に尖らせた三角形形状の開口パターンを有するフォトマスクを用いてフォトリソグラフにより形成される、チップインダクタの製造方法。

【請求項 4】 基板上に第 1 のパターン電極を形成するステップと、
前記基板上に前記第 1 のパターン電極を覆いながら感光性絶縁材料を塗布し、フォトリソグラフにて前記第 1 のパターン電極の一部に対応する位置に開口部を有する絶縁層を形成するステップと、
前記絶縁層の上面に第 2 のパターン電極を形成すると同

10 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はチップインダクタおよびその製造方法に関し、特に、薄膜チップインダクタおよびその製造方法に関する。

【0002】

【従来の技術】図 5 は、従来のチップインダクタの一例を示す分解斜視図であり、図 7 はその線 V I I - V I I で切断した際の断面図解図である。図 5 に示すチップインダクタ 1 は、基板 2 を含む。基板 2 の上面には、螺旋状の第 1 のパターン電極 3 が形成される。第 1 のパターン電極 3 は、基板 2 全面にスパッタリングや蒸着等で形成された導電膜をたとえばエッチングすることにより形成される。第 1 のパターン電極 3 の一端部は、基板 2 の側面に引き出される。さらに、基板 2 の上面には、第 1 のパターン電極 3 を覆いながらたとえば樹脂材からなる絶縁層 4 が形成される。絶縁層 4 には、第 1 のパターン電極 3 の他端部近傍に対応する位置にたとえば略矩形形状の開口部 5 が絶縁層 4 を厚み方向に貫通して形成される。開口部 5 を有する絶縁層 4 は、基板 2 の全面に感光性絶縁材料を塗布した後、たとえば図 8 に示すような矩形形状の開口部 8 a を有するフォトマスク 8 を用いてフォトリソグラフにより形成される。すなわち、このフォトマスク 8 は、開口部 8 a 以外の部分は光を遮蔽するように形成されているので、開口部 8 a に対応する部分の感光性絶縁材料を露光してその後溶剤除去することにより、開口部 8 a を有する絶縁層 4 が形成される。さらに、絶縁層 4 の上面には、引出電極としての第 2 のパターン電極 6 が形成される。第 2 のパターン電極 6 は、開口部 5 の段差部 5 a の壁面の接続電極 7 を経由して基板 2 上の第 1 のパターン電極 3 の他端部近傍と接続される。開口部 5 の段差部 5 a の壁面の接続電極 7 は、スパッタリングや蒸着等で形成した導電膜をたとえばエッチングすることにより第 2 のパターン電極 6 と同時に形成される。

【0003】また、図 6 は、従来のチップインダクタの別の例を示す分解斜視図である。図 6 に示すチップインダクタ 9 は、基板 2 を含む。基板 2 の上面には、略 C の字形形状のパターン電極 3 a, 3 b および 3 c が形成される。パターン電極 3 a の一端部は、基板 2 の側面に引き出される。また、パターン電極 3 b の一端部は、パターン電極 3 a の他端部と所定の間隔をおいて対向して配置

される。さらに、パターン電極 3 c の一端部は、パターン電極 3 b の他端部と所定の間隔をおいて対向して配置される。そして、パターン電極 3 c の他端部は、その一端部とパターン電極 3 b の他端部との間、およびパターン電極 3 b の一端部とパターン電極 3 a の他端部との間を通して基板 2 の側面に引き出される。これらのパターン電極 3 a ~ 3 c は、基板 2 全面にスパッタリングや蒸着等で形成された導電膜をたとえばエッチングすることにより形成される。基板 2 の上面には、パターン電極 3 a ~ 3 c を覆いながらたとえば樹脂材からなる絶縁層 4 が形成される。絶縁層 4 には、パターン電極 3 a および 3 b のそれぞれの他端部に対応する位置に開口部 5 が形成され、パターン電極 3 b および 3 c のそれぞれの一端部に対応する位置に別の開口部 5' が形成される。この開口部 5, 5' を有する絶縁層 4 も図 5 に示した従来例と同様の方法で形成される。絶縁層 4 の上面には、ジャンパー線としてのパターン電極 6, 6' が開口部 5, 5' 間を繋ぐように形成される。そして、基板 2 上のパターン電極 3 a の他端部は、開口部 5 の段差部 5 a の壁面の接続電極を経由して絶縁層 4 上のパターン電極 6 の一端側に接続され、そのパターン電極 6 の他端側には、開口部 5' の段差部 5 a' の壁面の接続電極を経由して基板 2 上のパターン電極 3 b の一端部に接続される。また、基板 2 上のパターン電極 3 b の他端部は、開口部 5 の段差部 5 a の壁面の別の接続電極を経由して絶縁層 4 上のパターン電極 6' の一端側に接続され、そのパターン電極 6' の他端側には、開口部 5' の段差部 5 a' の壁面の別の接続電極を経由して基板 2 上のパターン電極 3 c の一端部に接続される。したがって、全体としてみれば、パターン電極 3 a ~ 3 b, 6, 6' は、一本に接続され、螺旋状のコイルパターンを構成する。開口部 5, 5' の段差部 5 a, 5 a' の壁面の接続電極は、スパッタリングや蒸着等で形成した導電膜をたとえばウェットエッチングすることにより第 2 のパターン電極 6 と同時に形成される。

【0004】

【発明が解決しようとする課題】しかしながら、図 5 に示すような従来のチップインダクタ 1 では、図 7 に示すように、開口部 5 の段差部 5 a の壁面が基板 2 に対して略直立した形状に形成されていたため、スパッタリングや蒸着等で導電膜を成膜する際に段差部 5 a の壁面に対する導電膜の着膜効率が悪くなったり、レジストパターン形成時にステップカバリー性（段差部の被覆性）が悪くなったりしやすかった。そのため、第 2 のパターン電極 6 および接続電極 7 を形成するため導電膜をウェットエッチングする際に、段差部 5 a でのサイドエッチングが激しくなり、接続電極 7 の R d c（直流抵抗）不良やオープン不良が発生するおそれがあった。同様に、図 6 に示すような従来のチップインダクタ 9 でも開口部 5, 5' の段差部 5 a, 5 a' の壁面の接続電極に R d c 不

良やオープン不良が発生するおそれがあった。

【0005】それゆえに、本発明の主たる目的は、絶縁層に形成された開口部の壁面の接続電極に接続不良が生じにくいチップインダクタおよびその製造方法を提供することである。

【0006】

【課題を解決するための手段】本発明は、基板と、基板上に形成される第 1 のパターン電極と、第 1 のパターン電極を覆いながら基板上に形成される絶縁層と、絶縁層上に形成される第 2 のパターン電極と、絶縁層を厚み方向に貫通して形成される開口部と、開口部の段差部の壁面を経由して第 1 のパターン電極と第 2 のパターン電極とを接続する接続電極とを含むチップインダクタであって、少なくとも接続電極が形成される開口部の段差部は、厚み方向に傾斜して形成される、チップインダクタである。本発明にかかるチップインダクタでは、開口部の段差部が厚み方向に傾斜して形成されるので、接続電極の段差部の壁面への着膜効率を高めることが容易になり、レジスト膜成膜時のステップカバリー性も向上する。したがって、接続電極部分での接続不良が生じにくく、接続信頼性の高いチップインダクタを得ることができる。

【0007】また、本発明にかかるチップインダクタの製造方法は、基板上に第 1 のパターン電極を形成するステップと、基板上に第 1 のパターン電極を覆いつつ感光性絶縁材料を塗布し、フォトリソグラフにて第 1 のパターン電極の一部に対応する位置に開口部を有する絶縁層を形成するステップと、絶縁層の上面に第 2 のパターン電極を形成すると同時に、開口部の段差部の壁面を経由して第 1 のパターン電極と第 2 のパターン電極とを接続するための接続電極を形成するステップとを含む、チップインダクタの製造方法であって、少なくとも接続電極が形成される開口部の段差部は、透光率を低くしたフォトリソマスクを用いて形成される、チップインダクタの製造方法である。絶縁層の開口部をフォトリソグラフにて形成する際に、透光率を低くしたフォトリソマスクを用いて段差部を形成することにより、段差部の露光量が少なくなるため、段差部を厚み方向に傾斜するよう形成することができる。そのため、第 2 のパターン電極と接続電極とを同時に形成する際に、段差部の壁面への着膜効率を高めることが容易になり、レジスト膜成膜時のステップカバリー性も向上する。したがって、接続電極部分での接続不良が生じにくく、接続信頼性の高いチップインダクタを得ることができる。

【0008】さらに、本発明にかかるチップインダクタの製造方法は、基板上に第 1 のパターン電極を形成するステップと、基板上に第 1 のパターン電極を覆いつつ感光性絶縁材料を塗布し、フォトリソグラフにて第 1 のパターン電極の一部に対応する位置に開口部を有する絶縁層を形成するステップと、絶縁層の上面に第 2 のパター

ン電極を形成すると同時に、開口部の段差部の壁面を経由して第 1 のパターン電極と第 2 のパターン電極とを接続するための接続電極を形成するステップとを含む、チップインダクタの製造方法であって、少なくとも接続電極が形成される開口部の段差部は、頂角を 90 度以下に尖らせた三角形形状の開口パターンを有するフォトマスクを用いて形成される、チップインダクタの製造方法である。絶縁層の開口部をフォトリソグラフにて形成する際に、頂角を 90 度以下に尖らせた三角形形状の開口パターンを有するフォトマスクを用いて絶縁層の開口部の段差部を形成することにより、三角形の底辺側から頂点側へといくに従い露光量が絞られていくので、段差部を厚み方向に傾斜するよう形成することができる。そのため、第 2 のパターン電極と接続電極とを同時に形成する際に、段差部の壁面への着膜効率を高めることが容易になり、レジスト膜成膜時のステップカバリー性も向上する。したがって、接続電極部分での接続不良が生じにくく、接続信頼性の高いチップインダクタを得ることができる。

【0009】また、本発明にかかるチップインダクタの製造方法は、基板上に第 1 のパターン電極を形成するステップと、基板上に第 1 のパターン電極を覆いながら感光性絶縁材料を塗布し、フォトリソグラフにて第 1 のパターン電極の一部に対応する位置に開口部を有する絶縁層を形成するステップと、絶縁層の上面に第 2 のパターン電極を形成すると同時に、開口部の段差部の壁面を経由して第 1 のパターン電極と第 2 のパターン電極とを接続するための接続電極を形成するステップとを含む、チップインダクタの製造方法であって、少なくとも接続電極が形成される開口部の段差部は、頂角を 90 度以下に尖らせた三角形形状の内側を感光性絶縁材料の解像限界以上の微細な開口パターンとしたフォトマスクを用いて形成される、チップインダクタの製造方法である。絶縁層の開口部をフォトリソグラフにて形成する際に、頂角を 90 度以下に尖らせた三角形形状の内側を感光性絶縁材料の解像限界以上の微細な開口パターンとしたフォトマスクを用いて絶縁層の開口部の段差部を形成することにより、三角形の底辺側から頂点側へといくに従い露光量が絞られていくとともに、露光量を他の部分よりも少なくすることができるので、段差部を厚み方向に傾斜するよう形成することができる。そのため、第 2 のパターン電極と接続電極とを同時に形成する際に、段差部の壁面への着膜効率を高めることが容易になり、レジスト膜成膜時のステップカバリー性も向上する。したがって、接続電極部分での接続不良が生じにくく、接続信頼性の高いチップインダクタを得ることができる。

【0010】本発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の実施例の詳細な説明から一層明らかとなろう。

【0011】

【発明の実施の形態】図 1 は、本発明にかかるチップインダクタの一例を示す斜視図であり、図 2 は、その分解斜視図である。図 1 に示すチップインダクタ 10 は、たとえばセラミックなどの絶縁体で形成された基板 12 を含む。基板 12 の上面には、たとえば Ag や Cu など螺旋状の第 1 のパターン電極 14 が形成される。第 1 のパターン電極 14 の一端部は、基板 12 の側面に引き出される。さらに、基板 12 の上面には、第 1 のパターン電極 14 を覆いながらたとえば感光性ポリイミドなどで絶縁層 16 が形成される。絶縁層 16 には、第 1 のパターン電極 14 の他端部近傍に対応する位置にたとえば略矩形形状の接続用開口部 18 が絶縁層 16 を厚み方向に貫通して形成される。

【0012】接続用開口部 18 の段差部 18a は、図 3 に示すように厚み方向に傾斜して形成される。絶縁層 16 の上面には、たとえば Ag や Cu など引出電極としての第 2 のパターン電極 20 が形成される。第 2 のパターン電極 20 の一端部近傍は、接続用開口部 18 の段差部 18a の壁面の接続電極 22 を経由して基板 12 上の第 1 のパターン電極 14 の他端部近傍と接続される。したがって、第 1 のパターン電極 14、接続電極 22 および第 2 のパターン電極 20 は、積層体中において一本に接続され、螺旋状のコイルパターンを構成することとなる。さらに、図示しないが、絶縁材料を使用した外装・保護膜、あるいは外部電極が形成される。

【0013】このチップインダクタ 10 は、以下の製造方法によって製造される。まず、たとえばセラミックなどの絶縁体でなる基板 12 が準備される。基板 12 上の全面には、スパッタリングや蒸着などの方法により Ag や Cu などの導電体薄膜が形成される。次に、導電体薄膜上の全面にレジスト材が塗布される。そして、露光・現像を行い、レジストパターンが形成される。その後、エッチングを行い、レジストパターンの形成されていない部分の導電体薄膜を除去した後、レジストパターンを除去することにより、螺旋状の第 1 のパターン電極 14 が形成される。

【0014】次に、第 1 のパターン電極 14 が形成された基板 12 上に感光性ポリイミドなどの感光性絶縁材料が公知の方法で塗布され、フォトマスク 30 を用いてフォトリソグラフが行われる。この実施形態で用いたフォトマスク 30 は、図 4 に示すように、光を完全に遮断する遮光部 32 と、絶縁層 16 の接続用開口部 18 を形成するために感光性絶縁材料を露光させるための略矩形形状の露光用開口部 34 が形成される。露光用開口部 34 は、遮光部 32 を厚み方向に貫通して形成される。さらに、このフォトマスク 30 は、露光用開口部 34 の対向した両辺に傾斜した段差部 18a を形成するための三角形形状の開口パターン 36 が形成される。この三角形の頂角 A は、90 度以下の尖った角度に形成されることが所望の段差部 18a を得るために好ましい。また、三角形

状の開口パターン 36 の内側には、感光性絶縁材料の解像限界以上の微細なパターンが形成される。感光性絶縁材料の解像限界以上の微細なパターンを用いるのは、接続用開口部 18 の中心部側よりも段差部 18a の露光量を減少させることにより、厚み方向に傾斜した段差部 18a を得るためである。このような開口パターンとしては、たとえば極小ドット状小孔の集合体、簾状体、半透明膜などを用いることができる。頂角 90 度以下の三角形形状の内側をたとえば極小ドット状小孔の集合体として透光率を落とした開口パターン 36 を用いた場合には、三角形形状の開口パターン 36 の透光率が露光用開口部 34 の中心部よりも低く、遮光部 32 よりも高くなる。しかも、三角形形状の底辺側が露光用開口部 34 の中心側に配置され、頂点側が露光用開口部 34 の中心とは反対側に配置されるので、中心側から遠ざかるに従い徐々に透光率が低下する。そのため、このフォトリソマスク 30 を用いて感光性絶縁材料を露光して現像した後、不要部分を除去することにより、接続用開口部 18 を有する絶縁層 16 が形成されるとともに、段差部 18a が厚み方向に傾斜して形成される。なお、この実施形態では、露光した部分を除去して接続用開口部 18 を形成するため、露光により可溶性になるポジ型の感光性絶縁材料が用いられる。

【0015】次に、開口部 18 の段差部 18a を含む絶縁層 16 上の全面および開口部 18 から露出した基板 12 上にスパッタリングや蒸着などの方法により Ag や Cu などの導電体薄膜が形成される。スパッタリングや蒸着は、絶縁層 16 表面に直交する方向から行われるので、段差部 18a が厚み方向に傾斜して形成されている場合には、段差部 18a の壁面が直交している従来のものに比べて、段差部 18a の壁面に対する着膜効率が向上する。次に、導電体薄膜上の全面に、スピンコートやロールコートなどの方法によりレジスト材が塗布される。この場合も、段差部 18a の壁面が傾斜して形成されているので、壁面が直立している従来のものに比べて、レジストステップカバリー性が向上し、段差部 18a の壁面をレジスト材で被覆しやすくなり、レジスト材による被覆が不完全なことに基づくサイドエッチングを防止でき、接続電極 22 の Rdc 不良やオープン不良を防止することができる。その後、ウェットエッチングして不要部分を取り除いた後、レジスト材を除去することにより、段差部 18a の壁面を経由して第 1 のパターン電極 14 に接続される接続電極 22 および絶縁層 14 上の引出電極としての第 2 のパターン電極 20 が同時に形成される。そして、ポリイミド等の絶縁材料を使用して外装・保護膜が形成され、ダイシングまたはスクライプ・ブレイク等の公知の方法で多数個付きの基板がチップ状に分割され、外部電極がスパッタリングまたはウェットメッキなどの方法により形成される。

【0016】このチップインダクタ 10 では、開口部の

段差部が厚み方向に傾斜して形成されているので、段差部 18a の壁面への着膜効率を高めることが容易になり、電極膜やレジスト膜成膜時のステップカバリー性も向上する。したがって、接続電極 22 部分での接続不良が生じにくく、接続信頼性の高いチップインダクタを得ることができる。

【0017】なお、図 6 に示したタイプのチップインダクタについても、上述したチップインダクタ 10 と同様の方法により傾斜した段差部を有する接続用開口部を形成することができ、同様の作用効果を得ることができる。また、本発明において絶縁層 16 に形成する開口部 18 の段差部 18a の傾斜は、少なくとも接続電極 22 が通る壁面に形成されていればよいが、開口部 18 の全ての壁面に形成されていてもよい。

【0018】

【発明の効果】本発明によれば、開口部の段差部における接続不良が生じにくいチップインダクタを得ることができる。

【図面の簡単な説明】

【図 1】本発明にかかるチップインダクタの一例を示す斜視図である。

【図 2】図 1 に示すチップインダクタを分解斜視図である。

【図 3】図 1 に示すチップインダクタの開口部付近を線 I-I' で切断して示す断面図解図である。

【図 4】図 1 に示すチップインダクタの開口部を形成するためのマスクパターンの一例を示す平面図解図である。

【図 5】従来のチップインダクタの一例を示す分解斜視図である。

【図 6】従来のチップインダクタの他の例を示す分解斜視図である。

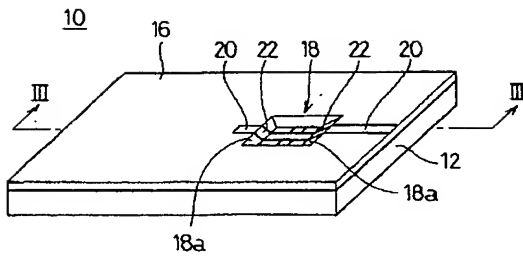
【図 7】図 5 に示すチップインダクタの開口部付近を線 V-V' で切断して示す断面図解図である。

【図 8】図 5 に示すチップインダクタの開口部を形成するためのマスクパターンの一例を示す平面図解図である。

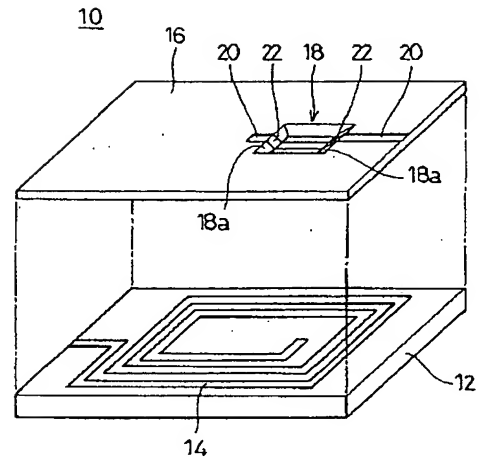
【符号の説明】

- 10 チップインダクタ
- 12 基板
- 14 第 1 のパターン電極
- 16 絶縁層
- 18 接続用開口部
- 18a 段差部
- 20 第 2 のパターン電極
- 22 接続電極
- 30 フォトリソマスク
- 32 遮光部
- 34 露光用開口部
- 36 開口パターン

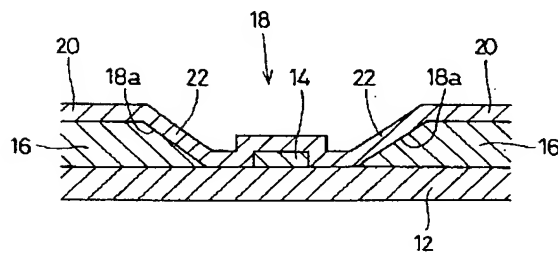
【図 1】



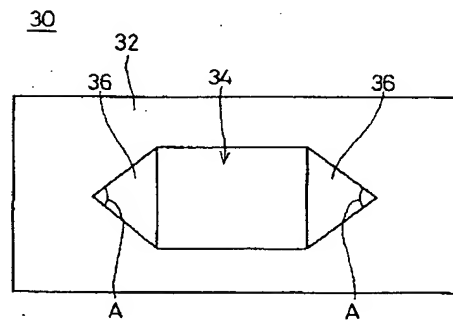
【図 2】



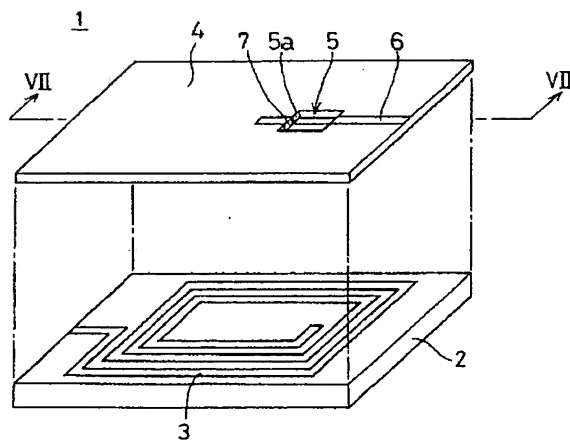
【図 3】



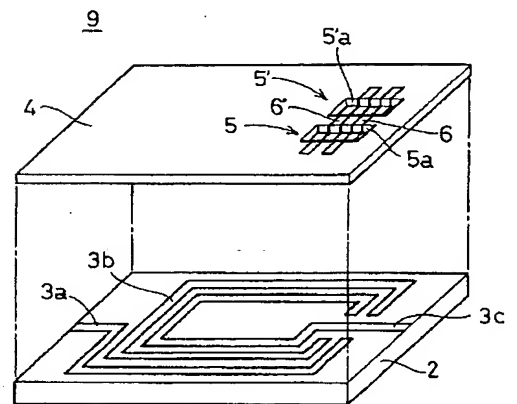
【図 4】



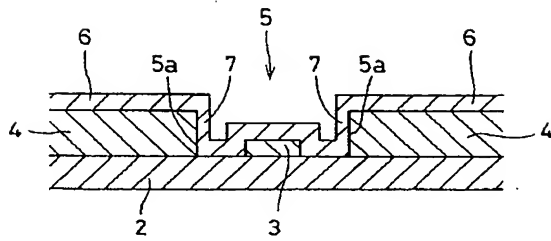
【図 5】



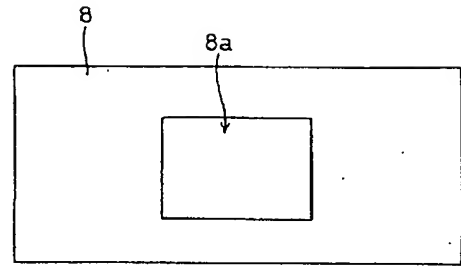
【図 6】



【図 7】



【図 8】



フロントページの続き

(72)発明者 飯 田 直 樹
京都府長岡京市天神 2 丁目 26 番 10 号 株式
会社村田製作所内